

Universität Karlsruhe (TH)

Forschungsuniversität · gegründet 1825

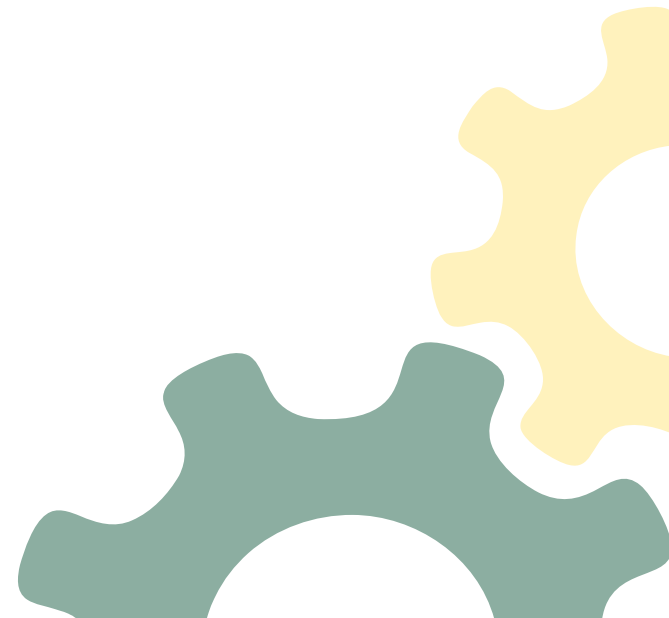
Herausforderung Multikern-Systeme

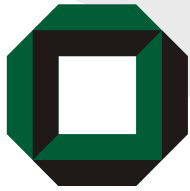
Walter F. Tichy



Fakultät für **Informatik**

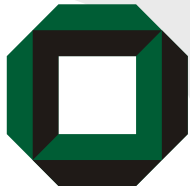
Lehrstuhl für Programmiersysteme





Wir erleben gerade eine Umwälzung der Informatik

- Von Anfang an war die Informatik geprägt vom sequenziellen Rechner.
- Parallelität war nur in Nischen präsent:
 - Numerisches Rechnen
 - Betriebssysteme, Datenbanken
 - Parallelität auf Instruktionsebene
- Mit dem Auftauchen von Mehrkern-Chips wird Parallelität für jeden erschwinglich.
- Die Wende zum parallelen Rechnen ist jetzt im Gange!



Ihr Laptop— ein Parallelrechner?

Preise Juni 2007



Inspiron™ 6400
15" Notebook für vielseitige
Unterhaltung & 1 GB RAM.

~~729 €~~
659 €
inkl. MwSt., zzgl. 78 €
Versand

Prozessor ?
Intel® Pentium® Dual-Core
T2080 Prozessor (1,73 GHz,
533 MHz, 1 MB L2-Cache)



Inspiron™ 1520
Stylischer Denker, der es
genießt seine Qualitäten
zeigen zu können und gerne
im Mittelpunkt steht.

~~999 €~~
899 €
inkl. MwSt., zzgl. 78 €
Versand

Prozessor ?
Intel® Core™ 2 Duo T5450
Prozessor (1,66 GHz, 667
MHz, 2 MB L2-Cache)



Inspiron™ 1720
Unterhaltung & Spaß
garantiert! Technologie
genau angepasst für Ihren
Lifestyle. Jetzt in 8 Farben.

1.049 €
inkl. MwSt. und Versand

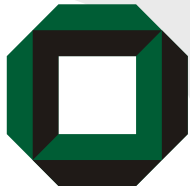
Prozessor ?
Intel® Core™ 2 Duo
T5250 Prozessor (1,5
GHz, 667 MHz, 2 MB
L2-Cache)



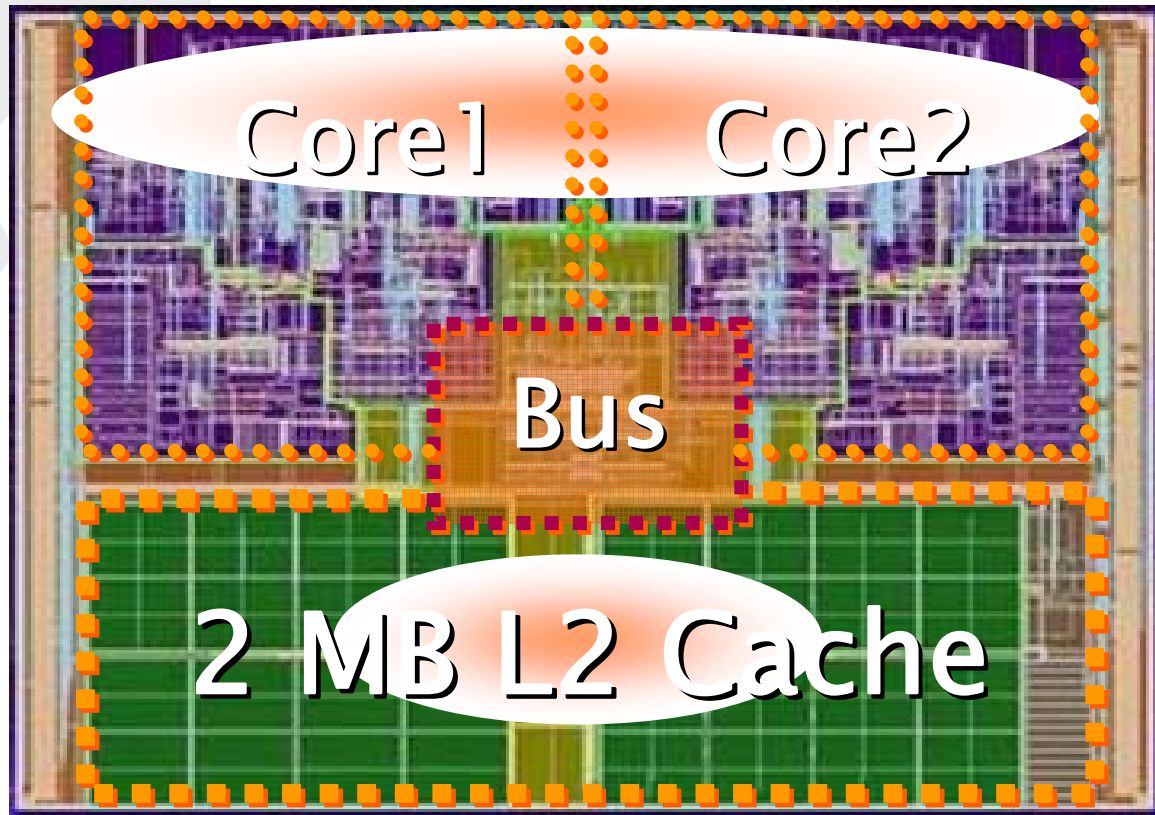
Inspiron™ 1520
Schlank, elegant und noch
etwas schlauer und stärker.
Jetzt in 8 Farben.

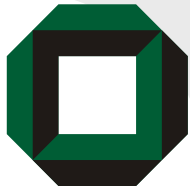
~~1.129 €~~
1.079 €
inkl. MwSt., zzgl. 78 €
Versand

Prozessor ?
Intel® Core™ 2 Duo T7100
Prozessor (1,8 GHz, 800
MHz, 2 MB L2-Cache)

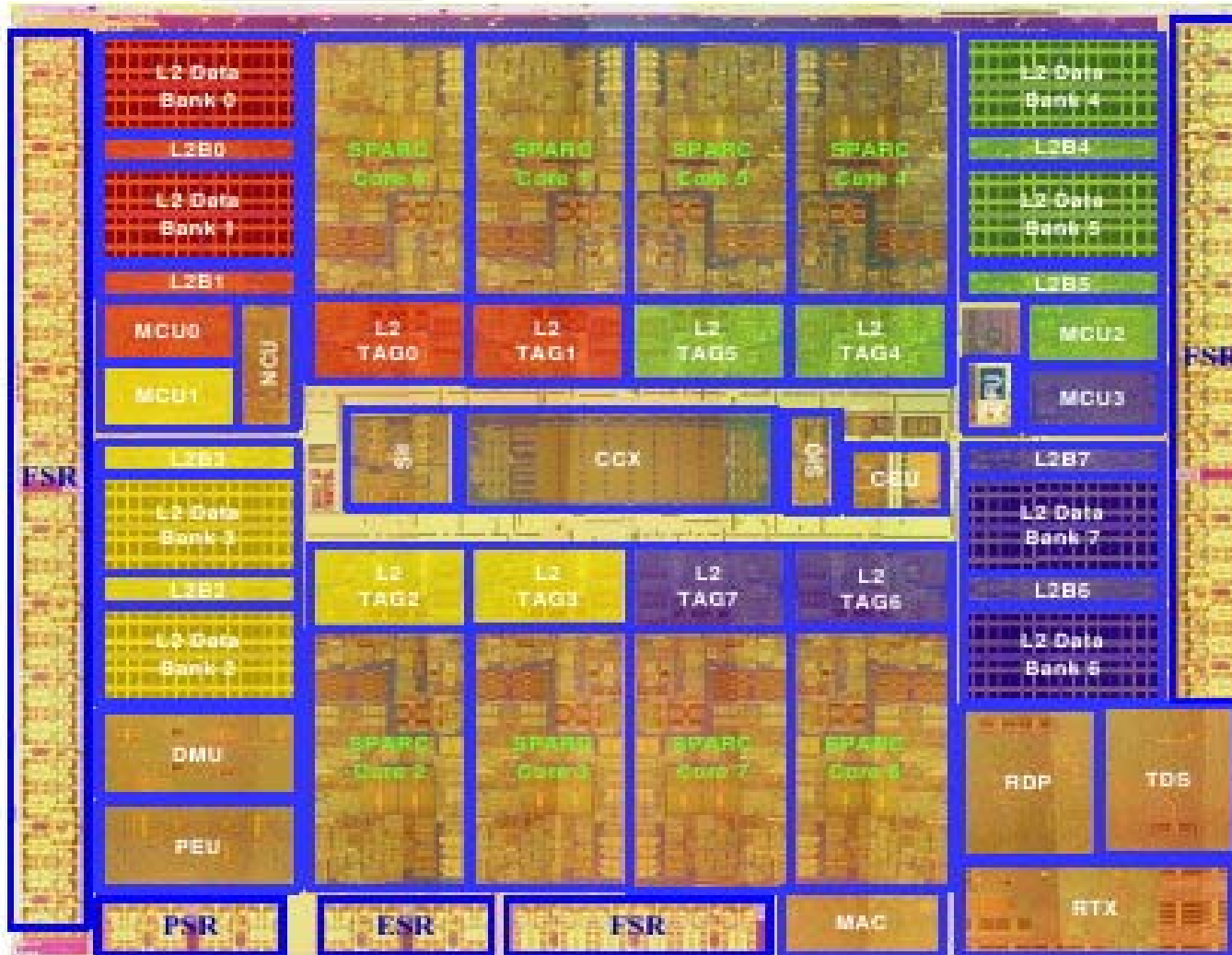


Doppelprozessor Intel Core Duo





Sun Niagara 2: 8 Prozessoren auf 3,42 cm²



8 Sparc
Prozessoren

8 Fäden pro
Prozessor

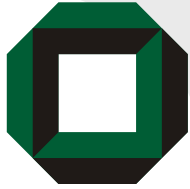
8x9 Kreuzschiene

1,4 GHz

75 W

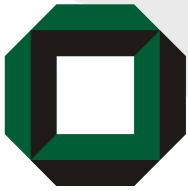
65nm Technik

(2007)

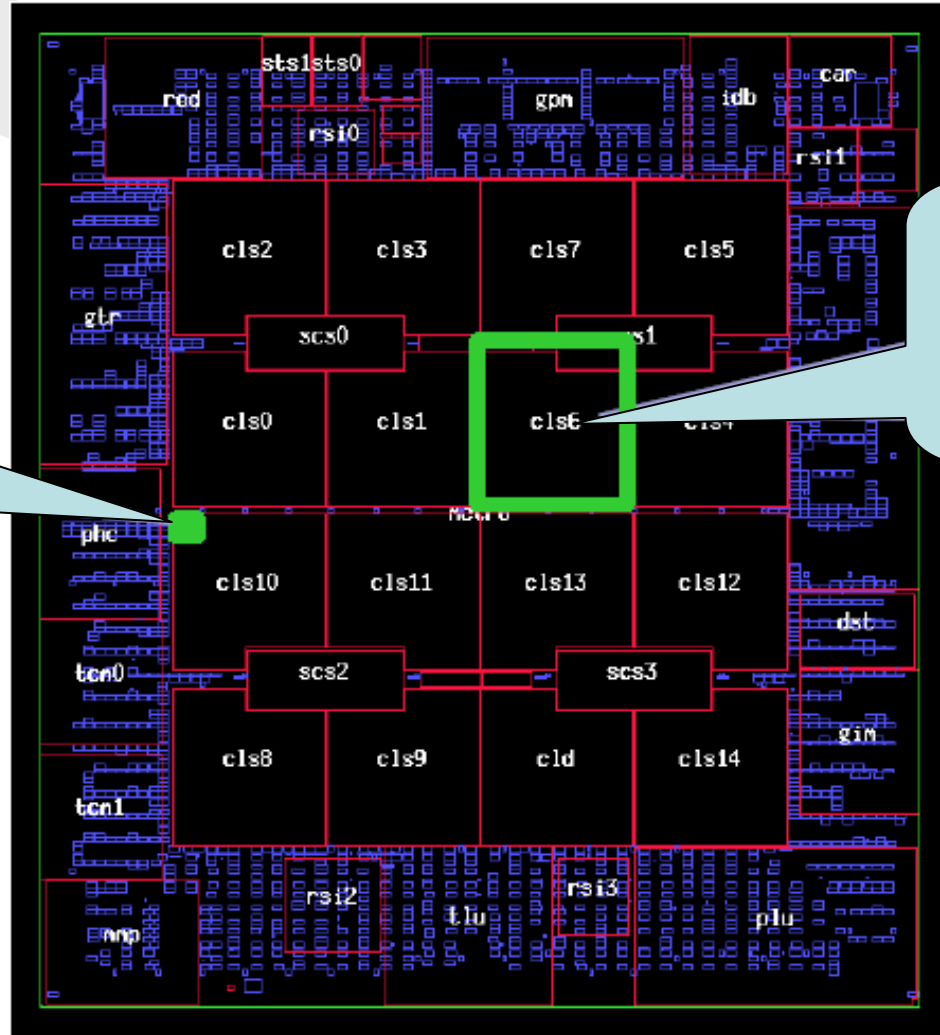


Aber der Rekord ist das nicht...

- Fast unbemerkt hat Cisco bereits 2005 ein Paket-Vermittlungs-Chip gebaut



Cisco Metro: 192 Prozessoren auf 3,24 cm²

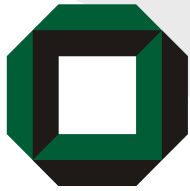


0,5 mm²
pro
Prozessor

16 Gruppen
zu je
12 Prozessoren
(192 insgesamt)

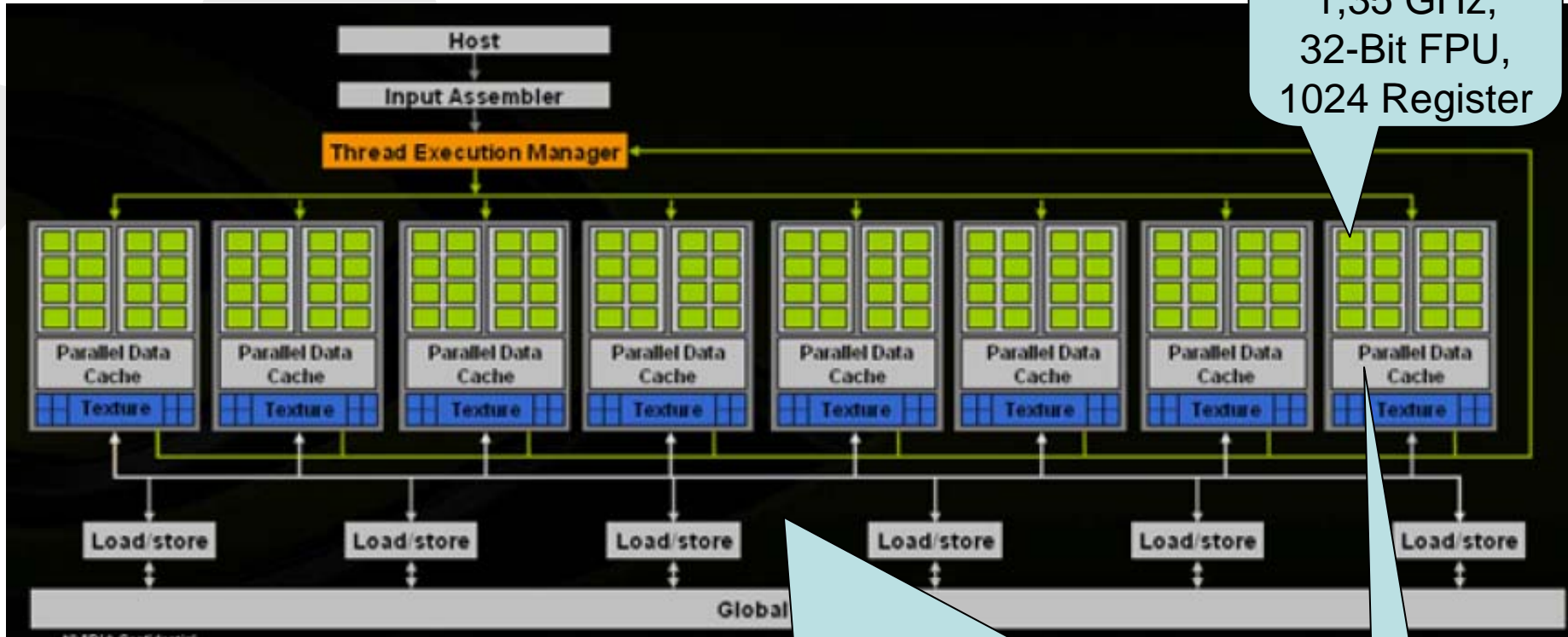
**192 Tenselica
Prozessoren
10 Gips
250 MHz
35W
130nm Technik
(2005)**

Bei aktueller
45 nm Technik
wäre Raum für
das Achtfache an
Prozessoren



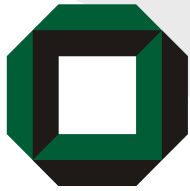
Nvidia GeForce 8 Graphics Processing Unit

Prozessor,
1,35 GHz,
32-Bit FPU,
1024 Register

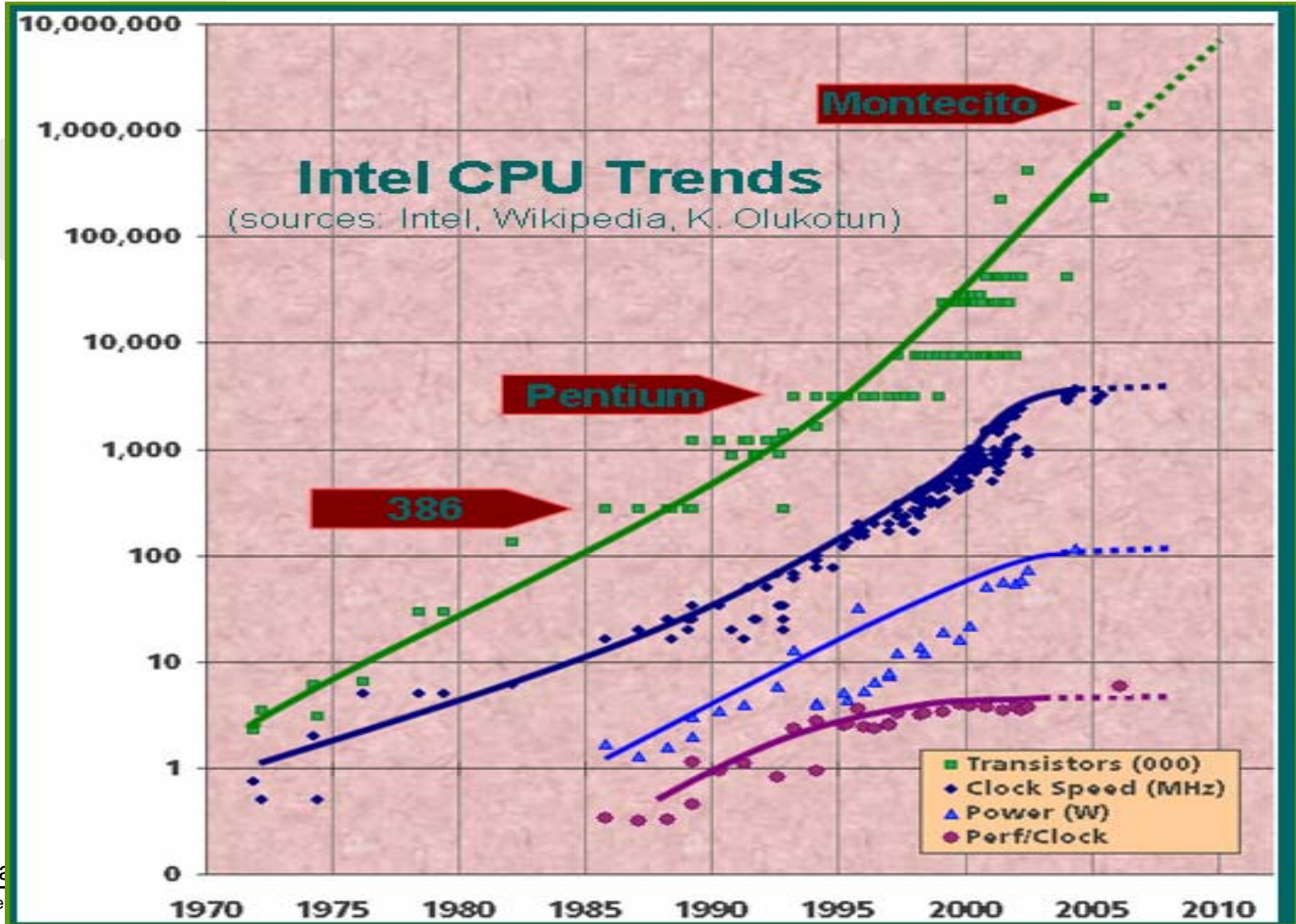


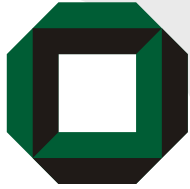
128 Prozessoren insgesamt, jeder mit 96 Fäden in HW
Insgesamt 12288 HW-Fäden!
Fäden-Verwaltung weitgehend automatisch

16 KB



Was ist passiert?



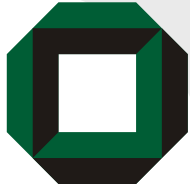


Der gegenwärtige Stand

- Neue Version der Moore'schen Regel:

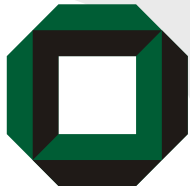
Verdopplung der Anzahl Prozessoren pro Chip mit jeder Chip-Generation, bei etwa gleicher Taktfrequenz

- Chip-Hersteller setzen ihre Zukunft auf Parallelität
- Wie soll der Reichtum an Leistung genutzt werden?

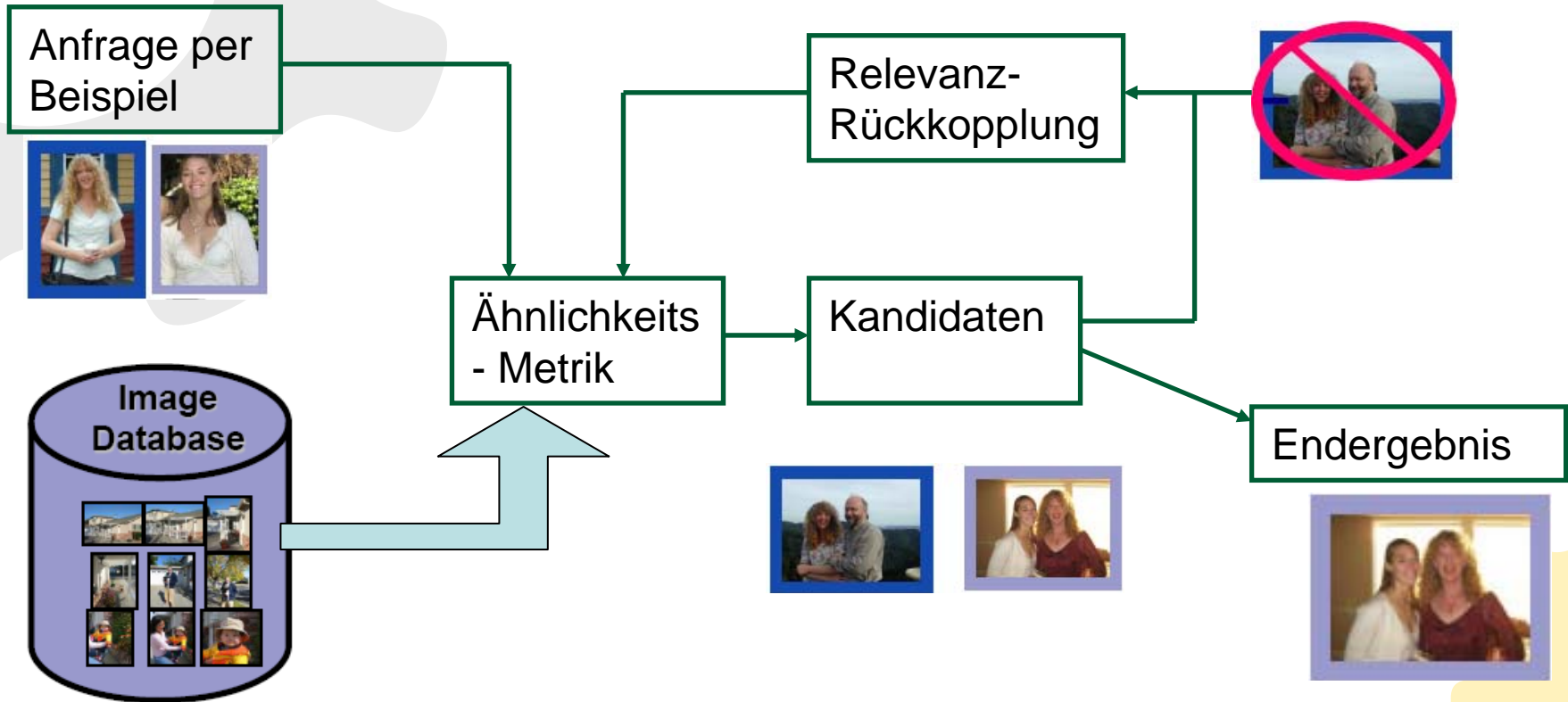


Wo sind die Anwendungen?

- „Wer braucht 100 Kerne für M/S Word?“
 - Mangel an Vorstellungskraft, Informatik-Ausbildung?
 - Benötigt werden überzeugende Anwendungen, die Hunderte von Kernen gebrauchen können.
- Wissenschaftliches Rechnen hat parallele Anwendungen
 - Wissenschaftliches Rechnen ist eine Nische
 - Wovon könnte jeder Nutzer von PC und Mobiltelefon profitieren?
 - (Hochleistung wird nicht permanent gebraucht werden, sondern in Schüben.)

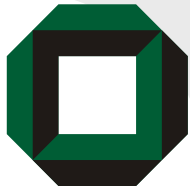


Inhalt-basierte Bildsuche

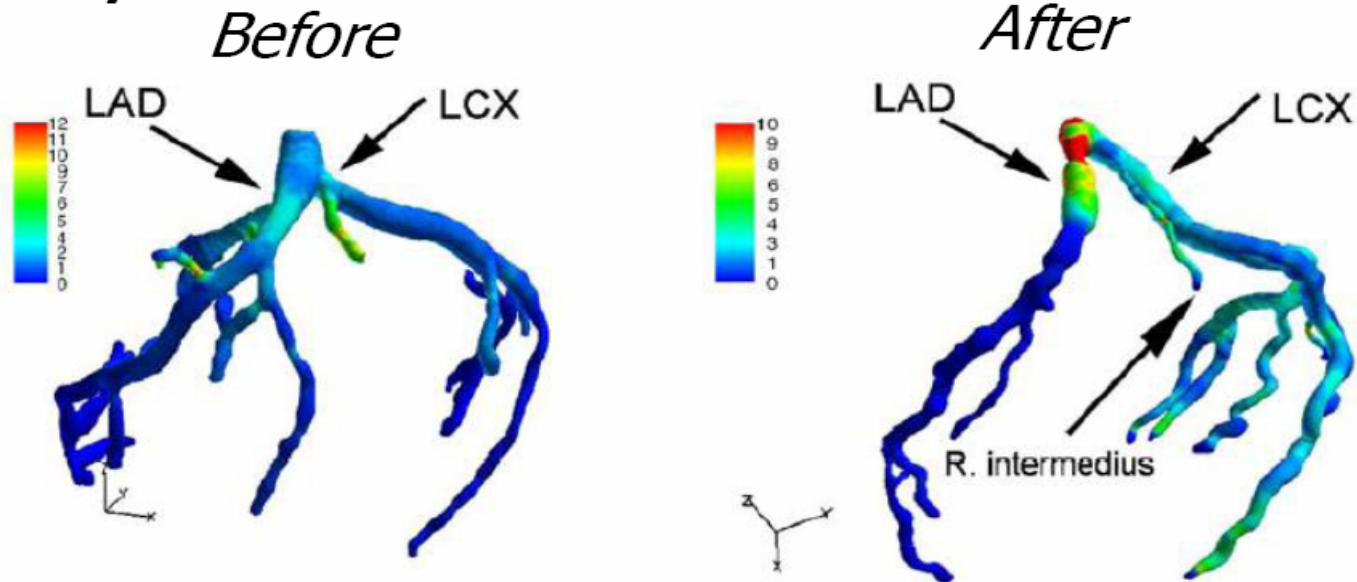


Tausende
Bilder

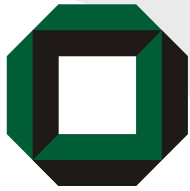
- Angepasst an Charakteristiken persönlicher Bildbanken:
- Bilder nicht gekennzeichnet
 - Viele Bilder von wenigen Personen
 - Komplexe Bilder mit Personen, Objekten, Orten, Ereignissen



Modellierung der Herzkranzgefäße

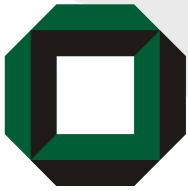


- Modellierung für jeden Patienten, um Behandlungstreue zu erhöhen? (Tausende Todesfälle pro Jahr, Millionen mit Symptomen, steigend)
- Blutdruck, Cholesterin, Aktivität, Gewohnheiten.
- Strömungsmodellierung, Gewebemodellierung, Pulsierung
- **In Echtzeit!**



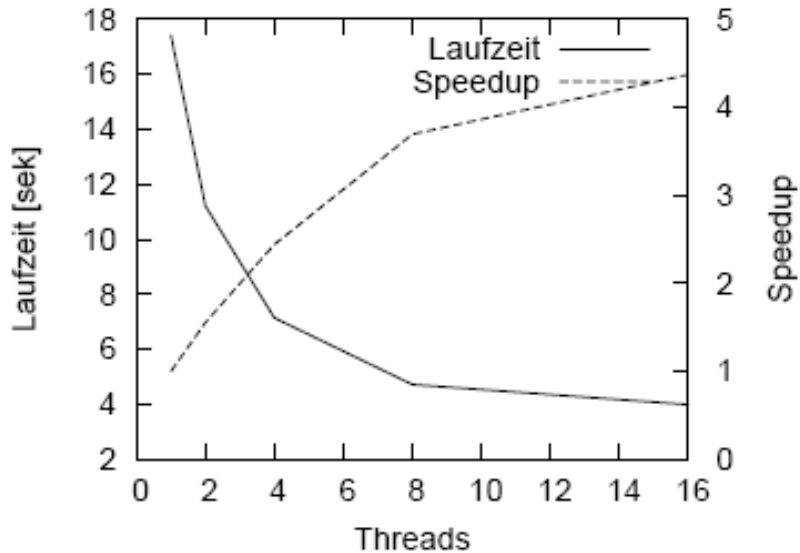
Was ist das Problem bei der Software?

- Für den Erfolg der Parallelisierung müssen Programm-Beschleunigung, Produktivität und Korrektheit gleichzeitig erreicht werden.
 - Parallelisierung nur bei Beschleunigung interessant
 - SW-Produktivität darf nicht noch schlechter werden!
 - Gleiches gilt für Korrektheit.
- Die meisten Programmierer sind unzureichend auf Parallelität vorbereitet.
 - Synchronisationsfehler sind die schlimmsten, können Monate zur Behebung erfordern (IBM SP)

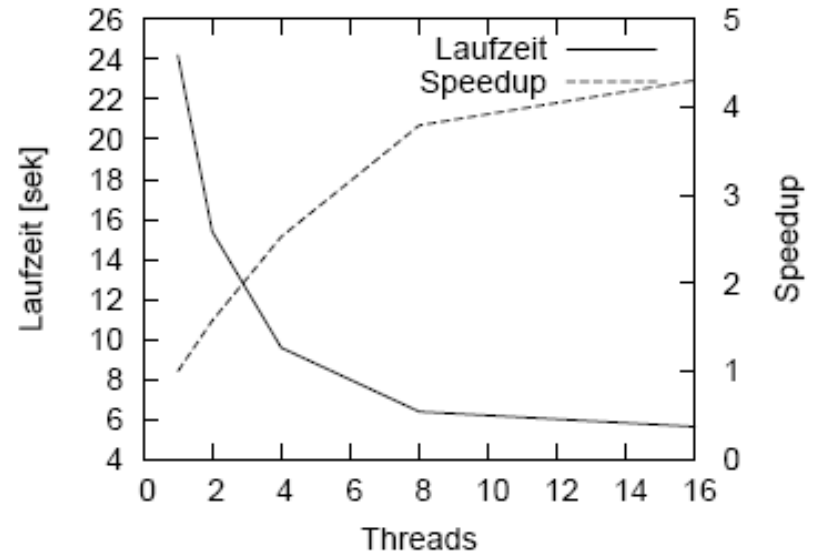


Beispiel: Kürzeste Pfade auf Straßengraphen

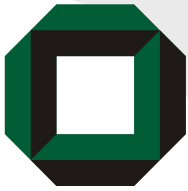
Sun T1 Niagara 1GHz
8 Kerne, 32Fäden



Karte von Westeuropa
19 Mill. Knoten



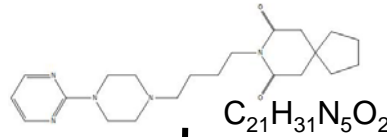
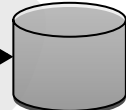
Karte der USA
25 Mill. Knoten



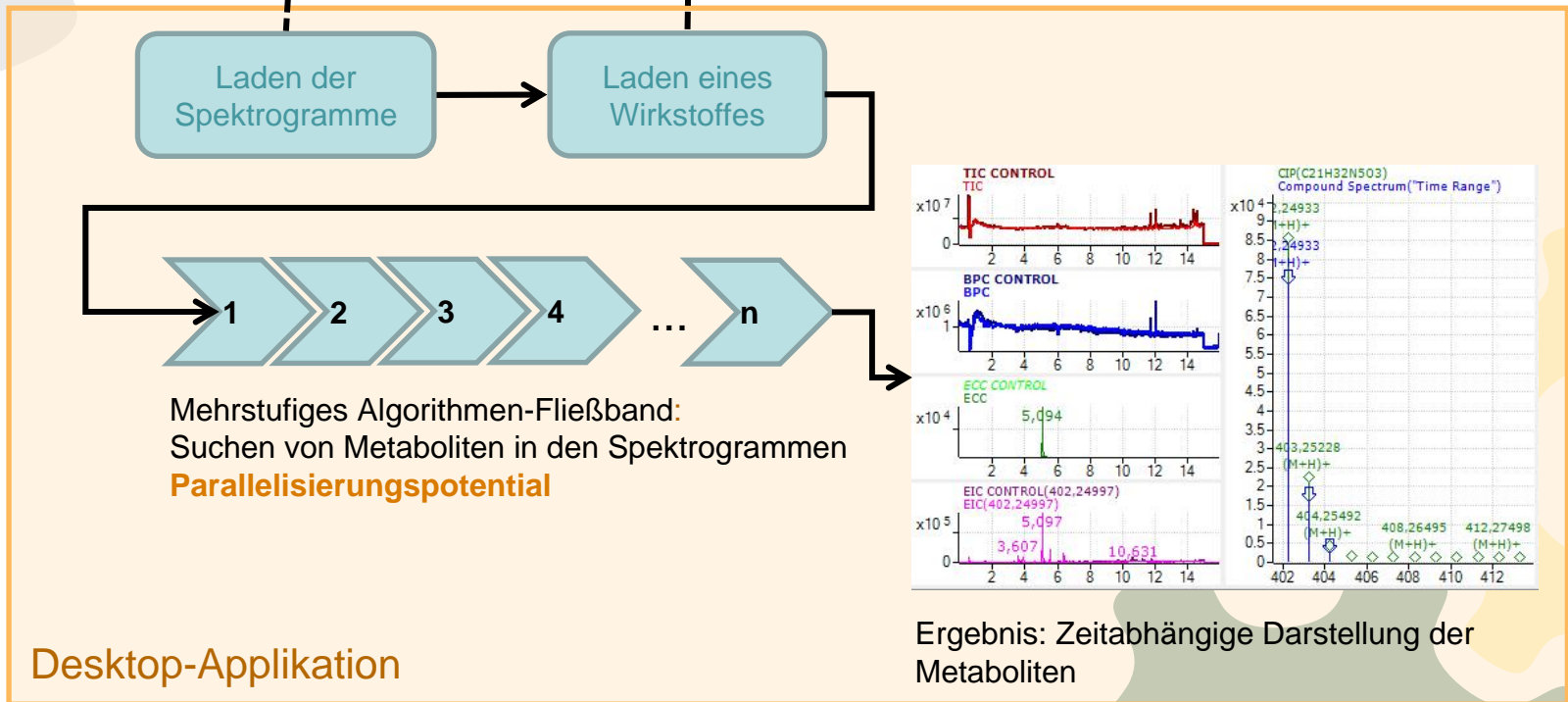
Beispiel: Analyse von Massenspektrogrammen

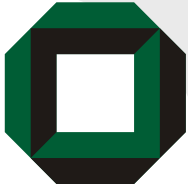


Massenspektrogramme

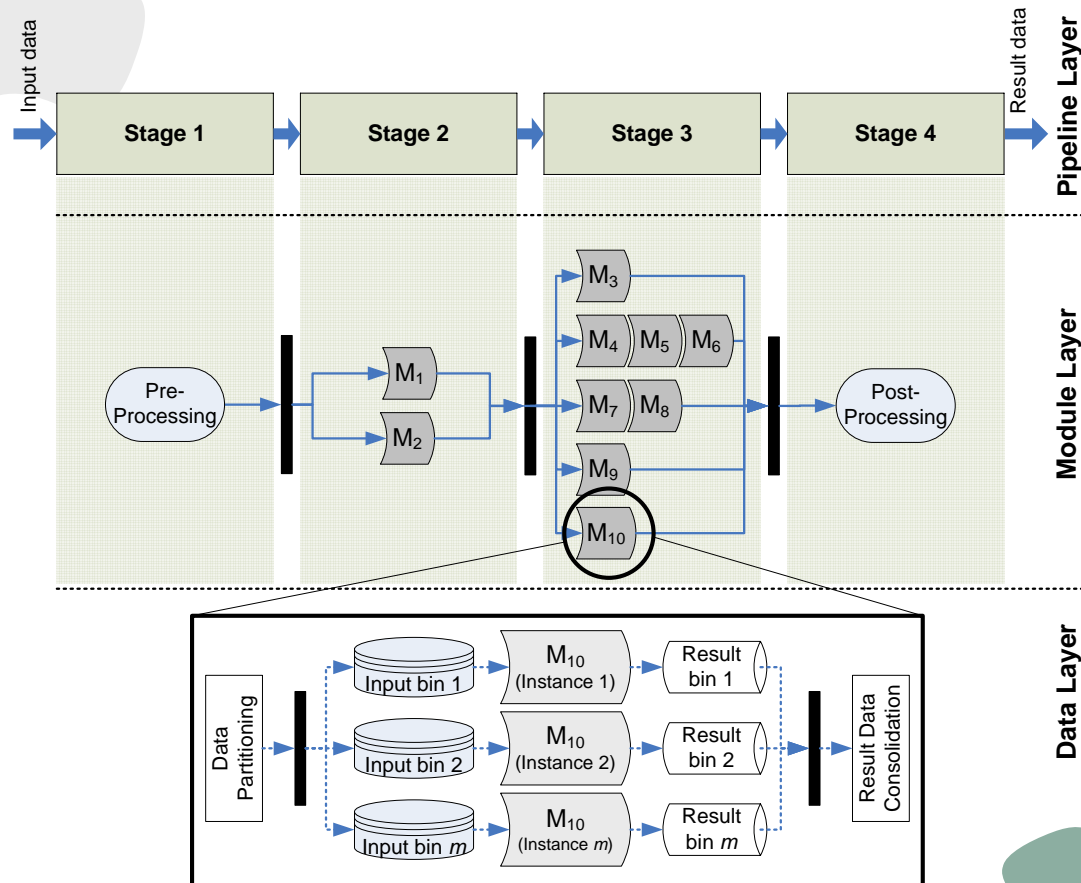


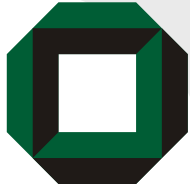
Agilent Technologies





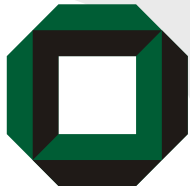
Mehrschichtige Parallelisierung mit Entwurfs-Mustern





Auto-Tuning

- **Problem:** Bestimme alle leistungsrelevanten Parameter in allen Ebenen um globales Leistungsoptimum zu finden.
- Parameterwerte abhängig von HW und SW (z.B. Anzahl Kerne, Ebenen, Anzahl Fließband-Stufen, Fließband-Struktur, Größe der Datenpartitionen)
- Einstellung per Hand zu aufwendig

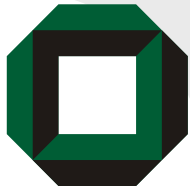


Auto-Tuning (2)

- **Lösung:** Automatischer Parameter-Optimierer
 - Als Bibliothek, die einfach in eine Anwendung integrierbar ist
 - Nimmt Stichproben, um den Parameterraum zu reduzieren (kann auch alles durchprobieren)
 - Leistungsunterschiede zwischen bester und schlechtester Konfiguration bei der Massenspektrogramm-Analyse: approx. 40%
 - Ohne Änderung der Analyse-Algorithmen

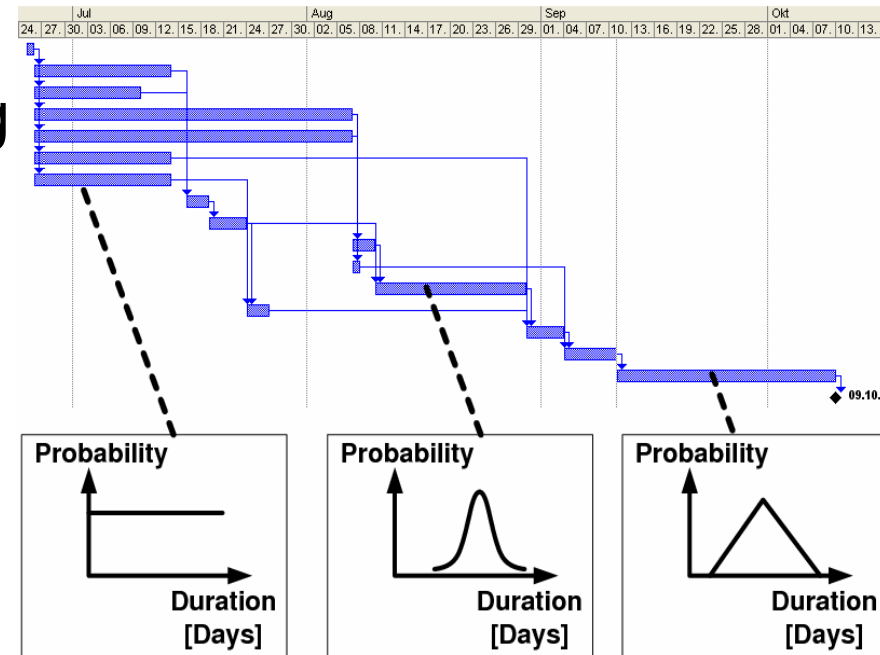
Gesamtbeschleunigung mit Parallelisierung und Auto-Tuning: 2.9

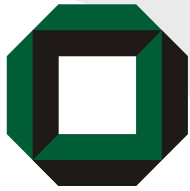
Tested on 8-core machine (2x Intel Xeon E5320 Quad-Core at 1,86 GHz/core)



Monte Carlo Simulation eines Netzplanes

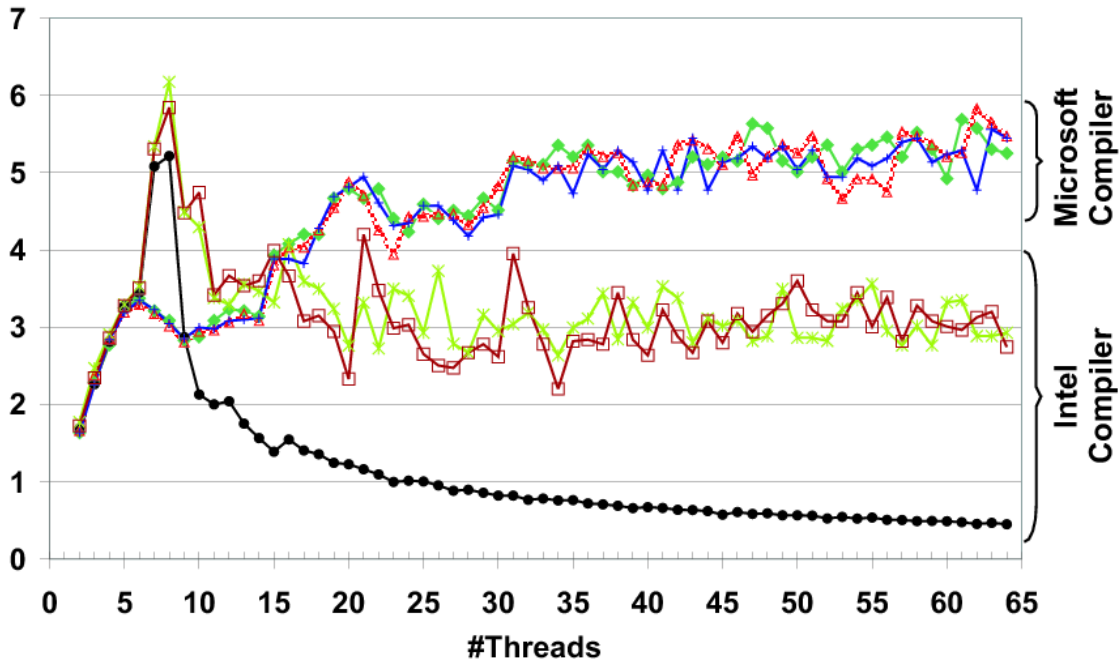
- Netzplan gegeben
 - Dauer der Teilaufgaben gegeben als Wahrscheinlichkeitsverteilungen
 - *Gleichverteilung, Exponentialverteilig., Weibull, Gauss, Gamma, Beta, Erlang*)
- **Gesucht:** Wahrscheinlichkeitsverteilung der Gesamtdauer.
- **Lösung:** Monte Carlo Simulation





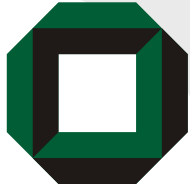
Monte Carlo Simulation (2)

Speedup



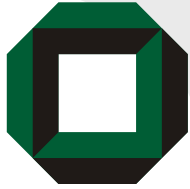
All programs were compiled and run on a machine with 2x Intel XEON E5320 Quadcore at 1.86GHz, 8 GB RAM, Windows 2003 Standard x64 R2. The simulation used 1 million steps, a project schedule graph with 16 tasks, and 40 bins for the result histogram.

- | | | |
|--|---|--|
| | Compiler: Microsoft VisualC++ 2005 | Strategy 1: Critical Section |
| | Compiler: Intel C++ 10 | Strategy 1: Critical Section |
| | Compiler: Microsoft VisualC++ 2005 | Strategy 2: Replicated Histograms |
| | Compiler: Intel C++ 10 | Strategy 2: Replicated Histograms |
| | Compiler: Microsoft VisualC++ 2005 | Strategy 3: Atomic Access |
| | Compiler: Intel C++ 10 | Strategy 3: Atomic Access |



Forschungsthemen (grob)

- **Hardware**
 - Was sind die Bausteine und wie werden sie verschaltet?
 - Homogene oder inhomogene Prozessoren?
 - Verteilter oder gemeinsamer Speicher? Beides?
- **Systemsoftware**
 - Dekonstruktion der Betriebssysteme in Hypervisor und Bibliothek?
 - Programmiersprachen, Übersetzer
- **Softwaretechnik**
 - Parallele Entwurfsmuster und parallele Architekturen
 - Leistungsvorhersagen für parallele Architekturen
 - Autotuning
 - Parallele Bibliotheken
 - Re-engineering (sequenziell zu parallel)
 - Robustheit, Fehlersuche
 - Transaktionaler Speicher
 - Eingebettete Systeme
 - U.v.a.m.



Schluss

- Zukünftige Leistungssteigerungen nur über Parallelität
- Ziel: Beschleunigung von Anwendungen bei gleichbleibender Produktivität, Korrektheit
- ... während sich die Anzahl der Prozessorkerne pro Chip alle zwei Jahre verdoppelt.
- Viele der Grundlagen der Informatik müssen neu überdacht werden.

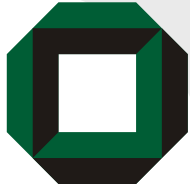
„Reinventing Computing“

International Workshop Multicore Software Engineering, 11.Mai, Leipzig.
<http://www.multicore-systems.org/iwmse>

GI-Arbeitskreis Software Engineering für parallele Systeme (SEPAS)
<http://www.multicore-systems.org/gi-ak-sepas>

Auf geht's!
Gehn' mas an!
Let's go!





Microsoft and Intel Will Fund Parallel Software Lab at Berkeley

A new Parallel Computing Lab at the University of California at Berkeley will receive about \$2 million a year over five years to research a parallel programming model for next-generation multicore computer processors.

The new lab was up and running on Jan. 21, 2008 and the grant from Intel and Microsoft will make it possible for about 14 faculty members to work in the facility.